

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Beom-jun Jin

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT DEVICES INCLUDING LOW DIELECTRIC
SIDE WALL SPACERS AND METHODS OF FORMING SAME**

October 20, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

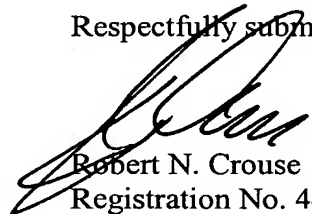
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0073053, filed November 22, 2002.

Respectfully submitted,



Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No.: EV 318417872 US

Date of Deposit: October 20, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0073053
Application Number

출원 년 월 일 : 2002년 11월 22일
Date of Application NOV 22, 2002

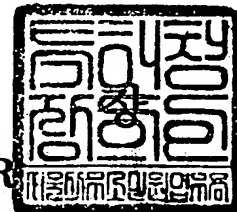
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.11.22
【국제특허분류】	H01L
【발명의 명칭】	2 중 콘택 스페이서를 포함하는 반도체 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor device including double spacers formed on the side wall of a contact and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	진범준
【성명의 영문표기】	JIN, Beom Jun
【주민등록번호】	710920-1344211
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동1-8 경남아파트 8-1202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 22 항 813,000 원

【합계】 854,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

콘택의 측벽에 산화 실리콘 및 질화 실리콘으로 형성된 2중 콘택 스페이서를 포함하는 반도체 소자 및 그 제조방법에 대하여 개시한다. 본 발명의 일 실시예에 의한 반도체 소자의 제조방법에 의하면, 그 하부의 콘택 패드를 노출시키는 콘택 홀을 포함하는 층간 절연막 상에 실리콘 산화막 및 실리콘 질화막을 차례대로 형성한 다음, 스페이서 형성 공정을 실시하여 산화 실리콘으로 된 제1 콘택 스페이서 및 질화 실리콘으로 된 제2 콘택 스페이서를 형성한다. 계속해서, 도전 물질을 매립하기 전에 전세정 공정으로 시임 내부 또는 표면에 잔류하는 산화 실리콘을 제거한 다음, 콘택 플러그를 형성한다. 본 발명에 의하면, 반도체 소자에 유전 상수가 큰 질화 실리콘이 잔류하는 것을 방지할 수 있고, 또한 시임 등에 있는 불순물도 용이하게 제거할 수 있다. 아울러, 기생 용량을 감소시켜 반도체 소자의 성능도 개선시킬 수 있다.

【대표도】

도 6

【색인어】

콘택 스페이서, 산화 실리콘, 시임, 기생 용량

【명세서】**【발명의 명칭】**

2중 콘택 스페이서를 포함하는 반도체 소자 및 그 제조방법{Semiconductor device including double spacers formed on the side wall of a contact and manufacturing method whereof}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 반도체 소자의 콘택 스페이서를 보여주기 위한 개략적인 평면도(단, 내부 구조를 도시하기 위하여 도전 라인 상부에 형성되는 층간 절연막은 생략하였다, 이하 평면도에서는 같다)이고,

도 2는 도 1의 반도체 소자에 대하여 I-I'라인을 따라 취한 개략적인 단면도이고,

도 3은 본 발명의 일 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 단면도이고,

도 4는 본 발명의 다른 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 평면도이고,

도 5는 도 4의 반도체 소자에 대하여 II-II'라인을 따라 취한 개략적인 단면도이고,

도 6은 본 발명의 또 다른 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 평면도이고,

도 7은 도 6의 반도체 소자에 대하여 III-III'라인을 따라 취한 개략적인 단면도이고,

도 8은 도 6의 반도체 소자에 대하여 IV-IV'라인을 따라 취한 개략적인 단면도이며,

도 9a 내지 도 9d는 본 발명의 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자의 제조 방법을 보여주기 위한 도면으로서, 그 일 예로 도 6에 도시된 반도체 소자를 제조하는 방법을 공정 순서에 따라 도시한 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

115, 315, 415 : 콘택 패드

110, 120, 140, 240, 310, 340, 410, 420, 440 : 층간 절연막

130, 330 : 도전 라인 160, 360, 460 : 콘택 플러그

150 : 콘택 스페이서 260 : 콘택 플러그

252a, 352a, 452a : 제1 콘택 스페이서

254a, 354a, 454a : 제2 콘택 스페이서

412 : 게이트 라인 패턴 430 : 비트 라인 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 보다 구체적으로는 2중 콘택 스페이서를 포함하는 반도체 소자 및 그 제조방법에 관한 것이다.

<19> 현재 반도체 소자를 구성하는 모든 구성 요소들은 계속 미세화되고 있다. 특

히, 도전 라인을 포함하는 배선층과 상, 하부 도전체를 연결하는 콘택도 지속적으로 작아지고 있다. 콘택이 미세화되면서 콘택 자체의 크기가 작아질 뿐만이 아니라, 인접한 콘택 간의 거리도 함께 작아진다.

<20> 일반적으로 콘택은 다음과 같은 방식으로 만들어지다. 먼저, 기판 또는 하부 도전체를 포함하는 물질막 상에 층간 절연막을 형성한다. 이 기판 또는 물질막 상에는 도전 라인 패턴이 형성되어 있을 수도 있다. 다음으로, 포토리소그래피 공정을 이용하여 층간 절연막의 일부분을 식각하여 콘택 홀을 형성한다. 그 결과 콘택으로 연결하고자 하는 기판의 특정 부분 또는 하부 도전체가 노출이 된다.

<21> 계속해서, 콘택 홀에 폴리 실리콘이나 금속 물질 등의 도전 물질 등을 매립하는데, 이 과정에서 층간 절연막 상에도 도전 물질이 증착이 된다. 불필요하게 형성된 도전 물질을 제거하고 후속 공정의 편의를 위하여 에치 백 공정이나 화학적 기계적 연마(CMP) 공정을 실시한다. 그 결과, 층간 절연막내에 콘택이 형성된다. 이 과정에서 콘택 홀에 도전 물질이 완전히 매립되지 않으면 콘택의 내부에 시임(seam) 등이 생길 수도 있다.

<22> 그런데, 콘택의 크기 및 콘택 간의 거리가 작아지면서 잔류하는 도전 물질에 의하여 인접한 콘택이 서로 단락되는 현상이 발생하곤 한다. 인접한 콘택이 서로 단락되면 이와 연결된 모든 소자는 제기능을 수행할 수 없게 된다.

<23> 이와 같은 문제를 해결하기 위하여 종래에는 콘택의 측벽에 질화 실리콘을 사용하여 콘택 스페이서를 형성하였다. 도 1에 종래 기술에 의한 콘택 스페이서를 포함하는 반도체 소자의 일 실시예에 대한 평면도가 도시되어 있으며, 도 2에는 도 1의 I-I' 라인을 따라 취한 개략적인 단면도가 도시되어 있다.

- <24> 도 1에서는 반도체 소자의 평면 배치를 보여주기 위하여 제3 층간 절연막(도 2의 참조 번호 140에 해당)은 도시를 생략하였다. 그리고, 본 명세서에서 사용하는 '콘택 플러그' 및 '콘택 패드'는 모두 '콘택'의 일종이다. 다만, '콘택'이 상, 하로 연속적으로 형성된 경우에 혼동을 방지하기 위하여, 그 위치에 따라서 하부에 위치한 '콘택'은 '콘택 패드'로, 이 '콘택 패드'상에 형성된 상부의 '콘택'은 '콘택 플러그'로 칭하기로 한다.
- <25> 도 1 및 도 2를 참조하면, 기판(100) 상에 그 내부에 콘택 패드(115)를 포함하는 제1 층간 절연막(110)이 형성되어 있으며, 제1 층간 절연막(110)의 내부에는 게이트 라인 패턴이 더 포함되어 있을 수도 있다. 그리고, 제1 층간 절연막(110)의 상부에는 제2 층간 절연막(120)이 형성되어 있는데, 그 내부에는 비트 라인 콘택 플러그가 형성되어 있을 수 있다.
- <26> 계속해서, 제2 층간 절연막(120) 상에는 도전 라인 패턴(130) 예를 들어, 비트 라인 패턴이 있으며, 도전 라인 패턴(130) 사이 및 상부에 제3 층간 절연막(140)이 형성되어 있다. 그리고, 제3 층간 절연막(140)에는 콘택 플러그(160)가 콘택 패드(115)와 연결되도록 형성되어 있다.
- <27> 그리고, 콘택 플러그(160)의 측벽에는 질화 실리콘으로 형성된 콘택 스페이서(150)가 있으며, 이 콘택 스페이서(150)를 형성하면 콘택 플러그(160)가 인접한 콘택 플러그(160) 및/또는 도전 라인 패턴(130)과 단락되는 현상을 방지할 수 있다.
- <28> 이러한 콘택 스페이서(160)는 다음과 같은 방법으로 형성할 수 있다. 즉, 종래 기술에 의한 콘택 형성 방법에서 콘택 홀(C/H)을 형성하는 공정까지 동일하게 진행한다. 그 다음, 콘택 홀에 도전 물질을 매립하기 전에 실리콘 질화막을 콘택 홀을 포함하는 층

간 절연막에 일정한 두께로 형성한 다음, 선택적인 식각 공정으로 콘택 홀에 노출된 층간 절연막의 측벽에 형성된 실리콘 질화막을 제외한 나머지 실리콘 질화막은 제거한다. 그러면, 콘택 홀의 측벽에는 콘택 스페이서(150)가 형성된다. 그리고, 계속해서 도전 물질을 콘택 홀에 매립한 후에 평탄화하여 콘택 플러그(160)를 형성하는데, 도전 물질을 매립하기 전에 통상적으로 전세정 공정을 실시한다. 전세정 공정은 공정 중 발생한 불순물이나 자연 산화막 등을 제거하기 위하여 실시한다.

<29> 그런데, 종래 기술에 따라서 질화 실리콘으로 만들어진 콘택 스페이서(150)를 포함하는 반도체 소자 및 그 제조 방법은 다음과 같은 문제점이 있다.

<30> 우선, 스페이서 형성을 위한 식각 공정에서 제거되어야 할 실리콘 질화막이 완전히 제거되지 않을 수 있다. 특히, 콘택 플러그(160)의 하부 측, 콘택 플러그의 접합면에 질화 실리콘이 완전하게 제거되지 않고 남아있을 경우에 문제가 되는데, 이 경우 콘택의 접촉 저항이 증가하여 반도체 소자의 성능이 저하된다.

<31> 특히, 콘택 플러그(160)의 하부에 있는 콘택 패드(115)에 시임(seam, 도면에서 'S')이 형성되어 있는 경우에는 이 문제가 보다 심각하게 된다. 콘택 패드(115)를 형성할 때, 통상적으로 스텝 카버리지(step coverage)가 우수한 저압화학기상증착(LPCVD)법으로 폴리 실리콘 등의 도전 물질을 매립한다. 패턴의 크기가 큰 경우에는 시임이 발생하지 않는다. 그러나, 패턴이 미세화되면서 내부에 시임에 생기는 문제가 자주 발생하게 되었다.

<32> 콘택 패드(115)의 내부에 시임이 생기면, 콘택 스페이서(150)를 형성하기 위하여 실리콘 질화막을 형성할 때, 질화 실리콘의 일부가 시임에 매립되게 된다. 이렇게 시임에 매립된 질화 실리콘은 스페이서 형성을 위한 식각 공정 및 잔사 처리를 식각 공정에

서 용이하게 제거되지 않아서 콘택 패드(115)의 내부에 계속 잔류하기가 쉽다. 따라서, 잔류하는 질화 실리콘에 의하여 콘택의 접촉 저항이 크게 증가한다.

<33> 또한, 질화 실리콘으로 콘택 스페이서(150)를 형성하면 도전 라인 사이에서 기생 커패시턴스가 증가하는 문제가 있다. 질화 실리콘은 유전 상수가 약 7이나 되는 물질이기 때문에 기생 커패시턴스 값은 상당히 크다. 예를 들어, 비트 라인 사이에 형성되는 콘택 플러그의 측벽에 질화 실리콘으로 형성된 콘택 스페이서가 존재하면, RC 지연(delay)이 종전에 비하여 더 크게 발생하여 소자의 스피드를 떨어뜨릴 수 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명이 이루고자 하는 기술적 과제는 도전체와 콘택 또는 콘택 패드와 콘택 플러그의 접촉면에 질화 실리콘이 잔류하는 것을 방지하며, 아울러 불가피하게 절연물질이 잔류하게 되더라도 유전 상수가 작은 산화 실리콘이 잔류하게 함으로써 접촉 저항이 증가하는 것을 최소화할 수 있는 반도체 소자 및 그 제조방법을 제공하는데 있다.

<35> 아울러, 콘택 플러그의 하부에 위치하는 콘택 패드에 시임이 발생하더라도 여기에 매립되는 절연물질을 최소화하며, 산화 실리콘이 시임에 매립되게 함으로써, 시임에 매립된 절연 물질에 의하여 콘택의 접촉 저항이 증가하는 것을 최소화할 수 있는 반도체 소자 및 그 제조방법을 제공하는데 있다.

<36> 그리고, 산화 실리콘 및 질화 실리콘으로 된 2중 스페이서 구조의 콘택 스페이서를 형성함으로써 질화 실리콘으로 된 스페이서를 포함하는 반도체 소자보다 기생 커패시턴스가 작은 반도체 소자 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <37> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 이중 콘택 스페이서를 포함하는 반도체 소자는 기판 및 기판 상에 위치하며 콘택 홀이 형성되어 있는 제1 층간 절연막, 콘택 홀에 노출된 제1 층간 절연막의 측벽에 산화 실리콘으로 형성되어 있는 제1 콘택 스페이서 및 제1 스페이서 상에 질화 실리콘으로 형성되어 있는 제2 콘택 스페이서 그리고 제2 스페이서 사이의 콘택 홀에 도전 물질로 형성되어 있는 콘택 플러그를 포함하여 구성된다.
- <38> 그리고, 기판 및 제1 층간 절연막 사이에는 기판 상에 위치한 제2 층간 절연막 및 콘택 플러그와 전기적으로 접속하며, 제2 층간 절연막 내에 위치하는 콘택 패드를 더 포함하여 구성될 수 있다.
- <39> 또한, 제1 층간 절연막에는 도전 라인 패턴이 더 포함되어 있을 수 있으며, 이 경우 제1 콘택 스페이서의 높이는 도전 라인 패턴의 높이 이상일 수 있다.
- <40> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 2중 콘택 스페이서를 포함하는 반도체 소자는 소스/드레인이 형성되어 있는 반도체 기판과 반도체 기판 상에 위치한 제1 층간 절연막, 제1 층간 절연막 내에 위치하는 게이트 라인 패턴 및 제1 층간 절연막 내의 게이트 라인 패턴 사이에 위치하며, 소스/드레인과 전기적으로 접속하는 콘택 패드 그리고 제1 층간 절연막 상에 위치하고, 콘택 패드를 노출시키는 콘택 홀이 형성되어 있는 제2 층간 절연막, 콘택 홀에 노출된 제2 층간 절연막의 측벽에 산화 실리콘으로 형성되어 있는 제1 콘택 스페이서, 제1 스페이서 상에 질화 실리콘으로 형성되어 있는 제2 콘택 스페이서 및 제2 콘택 스페이서 사이의 콘택 홀에 도전 물질로 형성되어 있는 콘택 플러그를 포함하여 구성된다.

- <41> 그리고, 제2 층간 절연막에는 콘택 패드의 일부와 전기적으로 접속하는 비트 라인 콘택 플러그 및 비트 라인 콘택 플러그 상에 위치하며 비트 라인 콘택 플러그와 전기적으로 접속하는 비트 라인 패턴을 더 포함하여 구성되는데, 이 경우에 상기한 콘택 홀은 비트 라인 콘택 플러그와 접속하지 않는 나머지 콘택 패드만을 노출시킨다.
- <42> 또한, 제1 콘택 스페이서의 높이는 비트 라인 콘택 플러그 및 비트 라인 패턴의 높이 이상일 수 있으며, 상기한 비트 라인 패턴은 측벽에 비트 라인 스페이서를 구비되어 있을 수도 있고, 그렇지 않을 수도 있다.
- <43> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법은 우선, 기판 상에 제1 층간 절연막을 형성한다. 다음으로, 제1 층간 절연막에 콘택 홀을 형성하고, 이 콘택 홀에 노출된 제1 층간 절연막의 측벽에 산화 실리콘으로 제1 콘택 스페이서를 형성한다. 계속해서, 제1 스페이서 상에 질화 실리콘으로 제2 콘택 스페이서를 형성한 다음, 제2 콘택 스페이서 사이의 콘택 홀에 도전 물질을 매립하여 콘택 플러그를 형성하는 단계를 포함한다.
- <44> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법은 우선, 반도체 기판 상에 게이트 라인 패턴을 형성한다. 다음으로 반도체 기판 및 게이트 라인 패턴 상에 제1 층간 절연막을 형성하고, 이 제1 층간 절연막에 반도체 기판의 특정 영역과 전기적으로 접속하는 콘택 패드를 형성한다. 계속해서, 상기 결과물 상에 제2 층간 절연막을 형성한 다음, 이 제2 층간 절연막에 콘택 패드를 노출시키는 콘택 홀을 형성한다. 계속해서, 콘택 홀에 노출된 제2 층간 절연막의 측벽에 산화 실리콘으로 제1 콘택 스페이서를 형성한 다음, 제1 콘택 스

페이서 상에 질화 실리콘으로 제2 콘택 스페이서를 형성하며 계속해서, 제2 콘택 스페이서 사이의 콘택 홀에 도전 물질을 매립하여 콘택 플러그를 형성하는 단계를 포함한다.

<45> 전술한 제2 층간 절연막을 형성하는 단계 이후에는, 제2 층간 절연막에 콘택 패드의 일부와 전기적으로 접속하는 비트 라인 콘택 플러그 및 비트 라인 콘택 플러그와 전기적으로 접속하는 비트 라인 패턴을 형성하고, 계속해서 그 결과물 상에 제3 층간 절연막을 형성하는 단계를 더 포함할 수 있는데, 여기서 콘택 홀은 비트 라인 콘택 플러그와 접속하지 않는 나머지 콘택 패드를 노출시키도록 제2 층간 절연막 및 제3 층간 절연막에 형성한다.

<46> 전술한 실시예들에서, 콘택 패드는 폴리 실리콘이나 금속으로 형성할 수 있다.

<47> 그리고, 제1 콘택 스페이서 및 제2 콘택 스페이서를 형성하는 방법은 우선, 콘택 홀을 포함하는 제1 층간 절연막 상에 정합적으로 실리콘 산화막을 형성하고, 계속해서 실리콘 산화막 상에 실리콘 질화막을 형성한다. 다음으로, 실리콘 질화막을 식각하여 제2 콘택 스페이서를 형성한 다음에, 실리콘 산화막을 식각하여 제1 콘택 스페이서를 형성하는 단계를 포함할 수 있다.

<48> 이 경우, 실리콘 산화막은 10 Å 내지 200 Å의 두께로 형성할 수 있는데, 이 때 원자층 증착(ALD)법 또는 화학 기상 증착(CVD)법을 사용할 수 있다. 그리고, 실리콘 질화막은 10 Å 내지 300 Å의 두께로 형성할 수 있는데, 이 때 원자층 증착(ALD)법 또는 화학 기상 증착(CVD)법을 사용할 수 있다.

<49> 그리고, 제1 콘택 스페이서를 형성하는 단계 이후에는, 잔류하는 질화 실리콘을 제거하기 위한 잔사 제거 공정을 더 실시 할 수도 있다. 또한, 콘택 플러그를 형성하기 이

전에, 잔류하거나 자연적으로 산화되어 발생하는 실리콘 산화막이나 불순물을 제거하기 위한 전세정 공정을 더 실시할 수도 있다.

<50> 이하에서는, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.

<51> 도 3에는 본 발명의 일 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 단면도가 도시되어 있다. 도 3을 참조하면, 기판(200) 상에 층간 절연막(240)이 형성되어 있으며, 층간 절연막(240)의 소정 부분에는 콘택(260)이 형성되어 있다. 그리고, 층간 절연막(240) 및 콘택(260) 사이에는 콘택 스페이서(252a, 254a)가 형성되어 있는데, 층간 절연막(240)을 기준으로 산화 실리콘으로 형성된 제1 콘택 스페이서(252a) 및 질화 실리콘으로 형성된 제2 콘택 스페이서(254a)가 순차적으로 형성되어 있다.

<52> 콘택(260)은 기판(200)의 특정 부위 예컨대 소스/드레인 영역(미도시)과 직접 접할 수도 있으며, 또는 소스/드레인 영역과 콘택(260) 사이에는 양자를 연결하는 다른 도전

패턴이 더 형성되어 있을 수도 있다. 그리고, 상기한 콘택(260)은 상, 하부의 도전체 예를 들어 상, 하부의 배선 라인을 연결하는 배선의 일부일 수 있다.

<53> 그리고, 콘택(260)은 전도성 물질이면 어떠한 물질로 형성될 수 있다. 예를 들어, 콘택(260)은 불순물이 도핑된 폴리 실리콘으로 형성되거나 접합 부위에 형성된 실리사이드를 포함하는 도핑된 폴리 실리콘으로 형성될 수도 있다. 또는 콘택(260)은 텅스텐, 구리 또는 알루미늄 등의 금속 물질로 형성될 수도 있다.

<54> 전술한 바와 같이 종래에는 질화 실리콘으로 형성된 단일 스페이서를 콘택 스페이서로 사용하였다. 하지만, 본 발명에서는 콘택 스페이서가 산화 실리콘으로 형성된 제1 콘택 스페이서(252a) 및 질화 실리콘(254a)으로 형성된 제2 스페이서의 2중 구조로 되어 있다. 여기서, 제1 콘택 스페이서(252a)는 약 10Å 내지 약 200Å 정도의 두께로 형성될 수 있다. 그리고, 제2 콘택 스페이서(254a)는 약 10Å 내지 약 300Å 정도의 두께로 형성될 수 있다. 본 발명의 2중 콘택 스페이서(252a, 254a)는 유전 상수가 상대적으로 작은 물질인 산화 실리콘으로 형성된 제1 콘택 스페이서(252a)를 포함하기 때문에 기생 용량이 그만큼 작게 발생한다.

<55> 도 4에는 본 발명의 다른 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 평면도가 도시되어 있으며, 도 5에는 도 4의 반도체 소자에 대하여 II-II'라인을 따라 취한 개략적인 단면도가 도시되어 있다. 전술한 바와 같이, 평면도에는 내부 구조를 보여주기 위하여 제2 층간 절연막(340)은 생략하였다.

<56> 도 4 및 도 5를 참조하면, 기판(300) 상에 콘택 패드(31)를 내부에 포함하는 제1 층간 절연막(310)이 형성되어 있다. 콘택 패드(310)는 불순물이 도핑된 폴리 실리콘 또는 금속 등의 도전성 물질로 형성된다. 그 상부에 도전 라인 패턴(330) 및 콘택 플러그

(460)를 내부에 포함하는 제2 층간 절연막(340)이 형성되어 있다. 그리고, 제1 층간 절연막(310) 및 제2 층간 절연막(340) 사이에는 제3의 패턴을 포함하는 다른 층이 더 형성되어 있을 수도 있다.

<57> 제2 층간 절연막(340) 내에 형성되어 있는 도전 라인 패턴(330)은 게이트 라인 패턴 또는 비트 라인 패턴일 수도 있고 아니면 전기적인 배선을 위한 배선 라인 패턴일 수도 있다. 도전 라인 패턴(330)의 내부 구조도 반드시 도면에 도시된 형태에 한정되지 않는다. 반도체 소자에서 사용되고 있는 도전 라인 패턴(330)이라면 어떠한 형태의 적층 구조 또는 단층 구조의 도전 라인 패턴이라도 본 실시예에 포함된다. 예를 들어, 도전 라인 패턴(330)은 질화 티타늄(TiN, 332), 텅스텐(W, 334) 및 질화 실리콘(336)의 적층 구조이거나 또는 폴리 실리콘, 텅스텐 실리사이드 및 질화 실리콘의 적층 구조일 수도 있다.

<58> 그리고, 도전 라인 패턴(330)은 그 측벽에 스페이서(338)가 형성되어 있을 수도 있고 아니면 없을 수도 있다. 도 5에는 도전 라인 패턴(330)의 측벽에 도전 라인 스페이서(338)가 형성된 경우가 도시되어 있다. 또한, 제2 층간 절연막(340)은 그 높이가 도전 라인 패턴(330)의 높이와 같거나 또는 도시된 바와 같이 도전 라인 패턴(330)보다 더 높을 수도 있다. 전자의 경우에는 도전 라인 패턴(330)이 상부에는 제2 층간 절연막(340)이 없으며, 단지 도전 라인 패턴(330) 사이의 공간에만 제2 층간 절연막(340)이 형성되어 있을 뿐이다.

<59> 도전 라인 패턴(330) 사이에 있는 제2 층간 절연막(340)의 소정의 위치 예컨대 콘택 패드(310)의 상부에 콘택 플러그(360)가 형성되어 있다. 그리고, 콘택 플러그(460)의 측벽에는 콘택 플러그(360)로부터 차례대로 제2 콘택 스페이서(354a) 및 제1 콘택 스페

이서(352a)가 형성되어 있다. 콘택 스페이서(352a, 354a)를 형성하는 물질 및 두께 등은 전술한 실시예와 동일할 수 있으며, 콘택 스페이서(352a, 354a) 정확한 높이는 콘택 플러그(360)의 높이에 따라 다를 수 있다.

<60> 도 6에는 본 발명의 또 다른 실시예에 따른 2중 콘택 스페이서를 포함하는 반도체 소자에 대한 개략적인 평면도가 도시되어 있고, 도 7 및 도 8에는 각각 도 6의 III-III' 라인 및 IV-IV' 라인을 따라 취한 개략적인 단면도가 도시되어 있다. 그리고, 도 9a 내지 도 9d에는 도 6에 도시된 반도체 소자의 제조 방법을 보여주기 위하여 공정 순서에 따라 III-III' 라인을 따라 취한 개략적인 단면도가 도시되어 있다.

<61> 이하에서는, 도 9a 내지 도 9d 및 도 6 내지 도 8을 참조하여 본 발명에 따른 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법 및 그 결과물인 반도체 소자의 일 실시예를 기술하기로 한다. 그러나, 여기서 기술되는 반도체 소자의 제조방법은 본 실시예에서만 한정되는 것은 아니며 전술한 다른 실시예에 의한 반도체 소자를 제조하는 공정에도 직접적으로 적용할 수 있다.

<62> 먼저 도 6, 도 8 및 도 9a를 참조하면, 실리콘 기판(400)에 트렌치 격리법을 사용하여 활성 영역 및 필드 영역(405)을 한정한 다음, 실리콘 기판(400) 내부 및 그 위에 통상적인 방법으로 소스/드레인 영역을 포함하는 트랜지스터 및 게이트 라인 패턴(412)을 형성한다. 도 9a에는 게이트 라인 패턴(412)이 도시되어 있지 않은데, 이는 III-III' 라인이 게이트 라인 패턴(412)이 형성되지 않은 영역에서 게이트 라인 패턴(412)과 평행하게 절단하는 라인이기 때문이다. 계속해서, 제1 층간 절연막(410)을 증착하고 평탄화를 실시한 다음, 포토리소그래피 공정으로 제1 층간 절연막(410)내에 콘택 홀을 형성한

다. 그리고, 콘택 홀 및 제1 층간 절연막(410) 상에 도전 물질을 매립한 다음, 에치 백 또는 CMP 공정을 사용하여 평탄화함으로써 콘택 패드(415)를 형성한다.

<63> 계속해서, 도 6, 도 8 및 도 9b를 참조하면, 도 9a의 결과물 상에 제2 층간 절연막(420)을 증착한 다음, 제2 층간 절연막(420)의 내부에는 비트 라인 콘택 플러그(미도시)를 형성하고, 상부에는 비트 라인 패턴(430)을 형성한다. 비트 라인 콘택 플러그는 콘택 패드(415)의 일부와 연결되어 기판 내부의 소스/드레인 영역과 전기적으로 접속된다. 그리고, 비트 라인 패턴(430)은 예를 들면, 질화 티타늄(432), 텅스텐(434) 및 질화 실리콘으로 형성된 하드 마스크(436)의 적층 구조로 형성할 수 있다. 그리고, 비트 라인 패턴(432)의 측벽에는 질화 실리콘 등으로 스페이서를 형성할 수도 있다.

<64> 계속해서, 그 결과물 상에 제3 층간 절연막(440)을 증착한다. 제3 층간 절연막(440)은 도화된 것과 같이 반드시 비트 라인 패턴(430)보다 높게 형성할 필요는 없다. 다음으로, 비트 라인 패턴(430) 사이의 제3 층간 절연막(440)을 선택적으로 식각하여 콘택 홀(C/H)을 형성한다. 이 경우, 제3 층간 절연막(440)을 식각한 다음에는 그 하부에 노출되는 제2 층간 절연막(420)도 식각하여 콘택 패드(415)가 노출되도록 한다. 콘택 홀(C/H) 형성을 위한 노광 마스크로는 홀 타입의 패턴을 가진 마스크나 라인 타입의 패턴을 가진 마스크를 사용할 수 있다.

<65> 계속해서, 도 9c를 참조하면, 콘택 홀(C/H)에 노출된 제2 층간 절연막(420) 및 제3 층간 절연막(440)의 측벽 및 제3 층간 절연막(440) 상에 실리콘 산화막(452)을 형성한다. 실리콘 산화막(452)은 원자층 증착(ALD)법 또는 화학 기상 증착(CVD)법을 사용하여 약 10Å 내지 200Å 정도의 두께로 형성하는 것이 바람

직하다. 다음으로, 실리콘 산화막(452) 상에 실리콘 질화막(454)을 형성한다. 실리콘 질화막(454)도 ALD법이나 CVD법을 사용하여 형성하는데, 약 10 Å 내지 300 Å 정도의 두께로 형성하는 것이 바람직하다.

<66> 그 결과, 도 9c에 도시된 것과 같이 콘택 홀(C/H)에 노출된 제2 및 제3 층간 절연막(420, 440)의 측벽과 콘택 패드(415) 및 제3 층간 절연막(440) 상에 콘택 스페이서 형성용 실리콘 산화막(452) 및 실리콘 질화막(454)이 형성된 반도체 소자가 형성된다. 본 실시예에 의하면, 콘택 홀(C/H)에 의하여 노출되는 콘택 패드(415)의 상부에 실리콘 산화막(452)이 먼저 증착되기 때문에, 비록 콘택 패드(415)를 형성하는 과정에서 콘택 패드(415)에 시임 등이 형성되더라도 시임의 내부는 산화 실리콘이 매립된다.

<67> 계속해서, 도 9d를 참조하면, 제1 콘택 스페이서(252a) 및 제2 콘택 스페이서(254a)를 형성하기 위한 식각 공정을 진행한다. 먼저, 제2 콘택 스페이서(254a)를 형성하기 위하여 질화 실리콘에 대하여 식각 특성이 뛰어난 식각 가스를 사용하여 선택적인 식각 공정을 진행한다. 계속해서, 산화 실리콘에 대하여 식각 특성이 뛰어난 가스를 사용하여 식각 공정을 진행함으로써 제1 콘택 스페이서(252a)를 형성한다. 이 때, 콘택 패드(415) 상에 있는 실리콘 산화막(452)은 완전하게 제거하는 것이 바람직하나, 만일 시임 등이 형성되어 있는 등의 경우에는 산화 실리콘의 일부는 제거되지 않고 계속 남아 있을 수도 있다.

<68> 계속해서, 공정의 부산물로서 잔류하는 질화 실리콘을 제거하기 위하여 종래에는 잔사 처리를 위한 식각 공정을 실시하였으나, 본 발명에 의하면 잔사 처리를

위한 식각 공정을 생략할 수도 있다. 왜냐하면, 실리콘 질화막을 식각하여 제2 콘택 스페이서(454a)를 형성한 다음에, 실리콘 산화막을 식각하여 제거하는 공정을 실시하기 때문에 후자의 공정 중에, 잔류 질화 실리콘도 함께 제거할 수 있기 때문이다.

<69> 계속해서, 도 7을 참조하면, 잔사 처리를 위한 식각 공정을 실시하는지 여부에 상관없이 콘택 홀(C/H)에 콘택 플러그(460)를 형성하기 전에, 전세정 공정을 실시한다. 이는 자연 산화막 등의 산화 실리콘이나 기타 다른 물질로 된 잔류 불순물을 제거하기 위한 공정이다. 본 발명의 실시예에서 전세정 공정은, 불순물 제거하기 위한 것 뿐만이 아니라 제1 콘택 스페이서(452a)를 형성하는 과정에서 발생한 산화 실리콘 불순물이나 콘택 패드(415) 상에 생기거나 시임 등에 매립되어 있는 산화 실리콘을 효과적으로 제거하기 위하여, 산화 실리콘에 대하여 식각 특성이 우수한 화학 물질이 주가 되는 물질을 사용하여 세정 공정을 실시하는 것이 바람직하다.

<70> 전세정 공정을 실시한 다음에는, 콘택 홀(C/H)에 도전 물질을 매립하고 평탄화함으로써 콘택 플러그(460)를 형성한다. 콘택 플러그(460)는 불순물이 도핑된 폴리 실리콘이나 금속 물질 등의 도전성 물질로 형성할 수 있다. 그 결과, 제3 층간 절연막(440)에는 산화 실리콘으로 된 제1 콘택 스페이서(452a), 질화 실리콘으로 된 제2 콘택 스페이서(454a) 및 도전성 물질로 된 콘택 플러그(460)가 도 6에 도시된 바와 같은 패턴으로 형성된다.

【발명의 효과】

<71> 본 발명에 의하면, 우선 콘택의 주위에 절연물질로 스페이서를 형성함으로써 반도체 소자의 미세화로 콘택 간의 거리가 줄어들어도 인접한 콘택 간에 단락이 생기는 것을 방지할 수 있다.

<72> 아울러, 본 발명의 반도체 소자에는 유전 상수가 작은 산화 실리콘으로 형성된 콘택 스페이서가 포함된다. 그리고, 공정의 진행상 불가피하게 또는 콘택 패드에 시임이 형성되어 있는 경우에 질화 실리콘이 아니라 산화 실리콘으로 된 불순물이 접합면에 잔류하게 된다. 따라서, 질화 실리콘만으로 형성된 콘택 스페이서 및 질화 실리콘 불순물에 비하여 기생 용량이 작기 때문에 반도체 소자의 성능이 개선된다.

<73> 그리고, 본 발명의 반도체 소자 제조방법에 의하면 종래에 비하여 질화 실리콘을 제거하기 위한 잔사 처리 공정을 생략할 수 있다. 또한, 잔류 산화 실리콘을 제거하는 공정은 종래의 전세정 공정을 활용할 수 있기 때문에 공정이 복잡하지도 않으며, 특히 시임 등에 산화 실리콘이 잔류하는 것을 전세정 공정으로 효과적으로 방지할 수 있기 때문에 불순물에 의한 저항 증가를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

기판;

상기 기판 상에 위치하며, 그 내부에 콘택 홀(contact hole)이 형성되어 있는 제1 층간 절연막;

상기 콘택 홀에 노출된 상기 제1 층간 절연막의 측벽에 산화 실리콘(oxide)으로 형성되어 있는 제1 콘택 스페이서(spacer);

상기 제1 스페이서 상에 질화 실리콘(nitride)으로 형성되어 있는 제2 콘택 스페이서; 및

상기 제2 스페이서 사이의 상기 콘택 홀에 도전 물질로 형성되어 있는 콘택 플러그를 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 2】

제1항에 있어서, 상기 기판 및 상기 제1 층간 절연막 사이에,

상기 기판 상에 위치한 제2 층간 절연막; 및

상기 제2 층간 절연막 내에 위치하며, 상기 콘택 플러그와 전기적으로 접속하는 콘택 패드를 더 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 3】

제1항에 있어서, 상기 제1 층간 절연막내에 도전 라인 패턴이 더 포함되어 있는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 4】

제3항에 있어서, 상기 제1 콘택 스페이서의 높이는 상기 도전 라인 패턴의 높이 이상인 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 5】

소스/드레인 영역이 형성되어 있는 반도체 기판;

상기 반도체 기판 상에 위치한 제1 층간 절연막;

상기 제1 층간 절연막 내에 위치하는 게이트 라인 패턴;

상기 제1 층간 절연막 내의 상기 게이트 라인 패턴 사이에 위치하며, 상기 소스/드레인 영역과 전기적으로 접속하는 콘택 패드;

상기 제1 층간 절연막 상에 위치하고, 상기 콘택 패드를 노출시키는 콘택 홀이 형성되어 있는 제2 층간 절연막;

상기 콘택 홀에 노출된 상기 제2 층간 절연막의 측벽에 산화 실리콘으로 형성되어 있는 제1 콘택 스페이서;

상기 제1 콘택 스페이서 상에 질화 실리콘으로 형성되어 있는 제2 콘택 스페이서; 및

상기 제2 콘택 스페이서 사이의 상기 콘택 홀에 도전 물질로 형성되어 있는 콘택 플러그를 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 6】

제5항에 있어서, 상기 제2 층간 절연막에는,

상기 콘택 패드의 일부와 전기적으로 접속하는 비트 라인 콘택 플러그; 및

상기 비트 라인 콘택 플러그 상에 위치하며 상기 비트 라인 콘택 플러그와 전기적으로 접속하는 비트 라인 패턴이 더 포함되며,

상기 콘택 홀은 상기 비트 라인 콘택 플러그와 접속하지 않는 나머지 콘택 패드를 노출시키는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 7】

제6항에 있어서, 상기 제1 콘택 스페이서의 높이는 상기 비트 라인 콘택 플러그 및 상기 비트 라인 패턴의 높이 이상인 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 8】

제1항 또는 제5항에 있어서, 상기 제1 콘택 스페이서의 두께는 10Å 내지 200Å 사이인 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자.

【청구항 9】

제1항 또는 제5항에 있어서, 상기 제2 콘택 스페이서의 두께는 10Å 내지 300Å 사이인 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자.

【청구항 10】

기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막에 콘택 홀을 형성하는 단계;

상기 콘택 홀에 노출된 상기 제1 층간 절연막의 측벽에 산화 실리콘으로 제1 콘택 스페이서를 형성하는 단계;

상기 제1 콘택 스페이서 상에 질화 실리콘으로 제2 콘택 스페이서를 형성하는 단계; 및

상기 제2 콘택 스페이서 사이의 상기 콘택 홀에 도전 물질을 매립하여 콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조 방법.

【청구항 11】

반도체 기판 상에 게이트 라인 패턴을 형성하는 단계;

상기 반도체 기판 및 상기 게이트 라인 패턴 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막에 상기 반도체 기판의 특정 영역과 전기적으로 접속하는 콘택 패드를 형성하는 단계;

상기 결과물 상에 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막에 상기 콘택 패드를 노출시키는 콘택 홀을 형성하는 단계;

상기 콘택 홀에 노출된 상기 제2 층간 절연막의 측벽에 산화 실리콘으로 제1 콘택 스페이서를 형성하는 단계;

상기 제1 콘택 스페이서 상에 질화 실리콘으로 제2 콘택 스페이서를 형성하는 단계; 및

상기 제2 콘택 스페이서 사이의 상기 콘택 홀에 도전 물질을 매립하여 콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자.

【청구항 12】

제11항에 있어서, 상기 제2 층간 절연막을 형성하는 단계 이후에는,

상기 제2 층간 절연막에 상기 콘택 패드의 일부와 전기적으로 접속하는 비트 라인 콘택 플러그 및 상기 비트 라인 콘택 플러그 상에 위치하며 상기 비트 라인 콘택 플러그와 전기적으로 접속하는 비트 라인 패턴을 형성하는 단계; 및

상기 결과물 상에 제3 층간 절연막을 형성하는 단계를 더 포함하며,

상기 콘택 홀은 상기 비트 라인 콘택 플러그와 접속하지 않는 나머지 콘택 패드를 노출시키도록 상기 제2 층간 절연막 및 상기 제3 층간 절연막에 형성하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 13】

제10항 또는 제11항에 있어서, 상기 콘택 패드는 폴리 실리콘 또는 금속으로 형성하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 14】

제10항 또는 제11항에 있어서, 상기 제1 콘택 스페이서 및 상기 제2 콘택 스페이서를 형성하는 단계는,

상기 콘택 홀을 포함하는 제1 층간 절연막 상에 정합적으로 실리콘 산화막을 형성하는 단계;

상기 실리콘 산화막 상에 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막을 식각하여 제2 콘택 스페이서를 형성하는 단계; 및

상기 실리콘 산화막을 식각하여 제1 콘택 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 15】

제14항에 있어서, 상기 실리콘 산화막을 형성하는 단계에서, 상기 실리콘 산화막은 10Å 내지 200Å의 두께로 형성하는 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자의 제조방법.

【청구항 16】

제14항에 있어서, 상기 실리콘 산화막을 형성하는 단계는 원자층 증착(ALD)법 또는 화학 기상 증착(CVD)법을 사용하여 수행하는 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자의 제조방법.

【청구항 17】

제14항에 있어서, 상기 실리콘 질화막을 형성하는 단계에서, 상기 실리콘 질화막은 10Å 내지 300Å의 두께로 형성하는 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자의 제조방법.

【청구항 18】

제14항에 있어서, 상기 실리콘 질화막을 형성하는 단계는 원자층 증착(ALD)법 또는 화학 기상 증착(CVD)법을 사용하여 수행하는 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자의 제조방법.

【청구항 19】

제14항에 있어서, 상기 제1 콘택 스페이서를 형성하는 단계 이후에는,

잔류하는 질화 실리콘을 제거하는 잔사 처리 단계를 더 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 20】

제10항 또는 제11항에 있어서, 상기 콘택 플러그를 형성하는 단계 이전에, 전세정 단계를 더 포함하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 21】

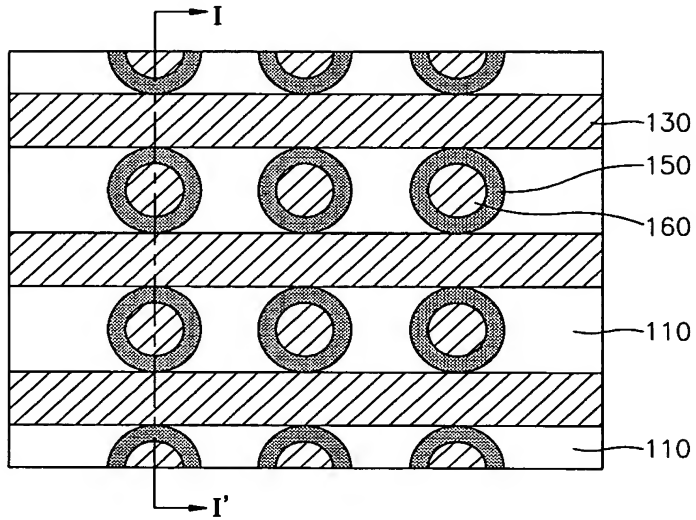
제20항에 있어서, 상기 전세정 단계는 산화 실리콘에 대하여 식각 특성이 우수한 화학 물질을 사용하여 수행하는 것을 특징으로 하는 2중 콘택 스페이서를 포함하는 반도체 소자의 제조방법.

【청구항 22】

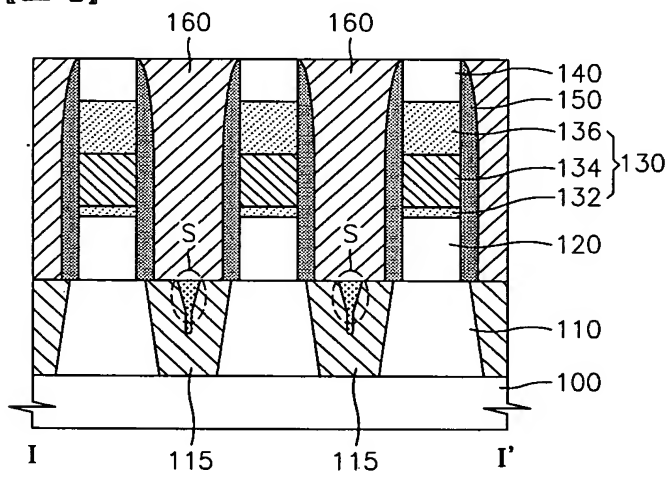
제10항 또는 제11항에 있어서, 상기 콘택 홀을 형성하는 단계는 홀 타입(hole type)의 포토 마스크 또는 라인 타입(line type)의 포토 마스크를 사용하여 수행하는 것을 특징으로 하는 2중 콘택 스페이서를 구비하는 반도체 소자.

【도면】

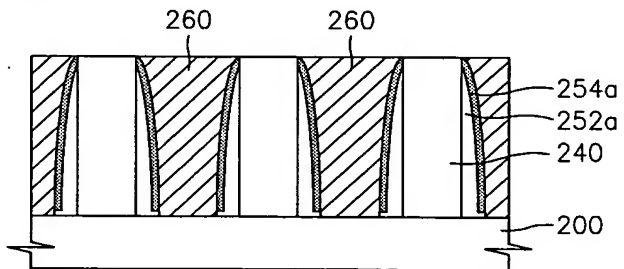
【도 1】



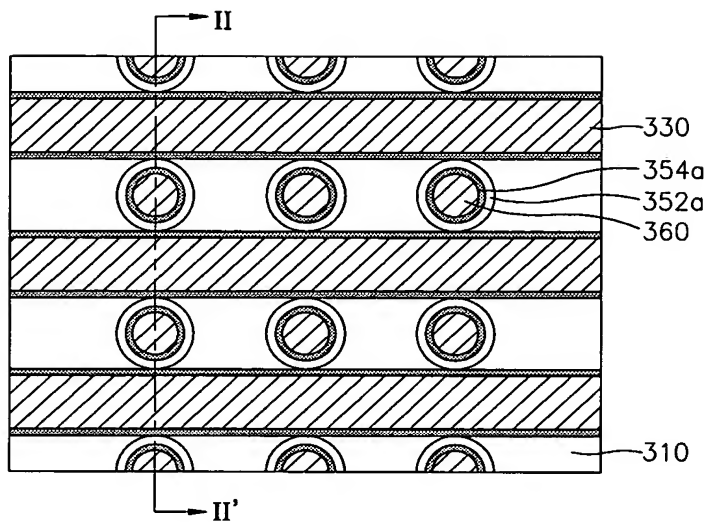
【도 2】



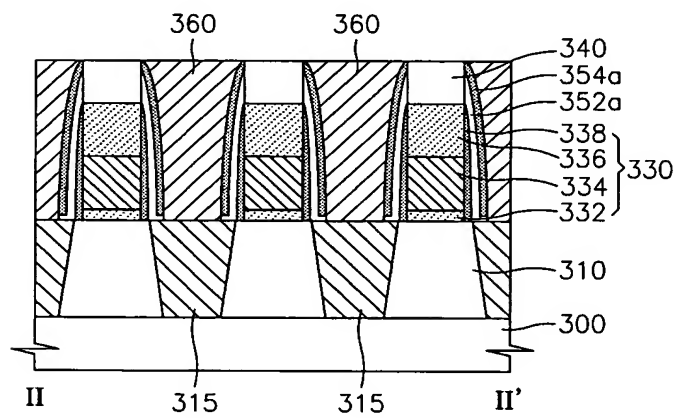
【도 3】



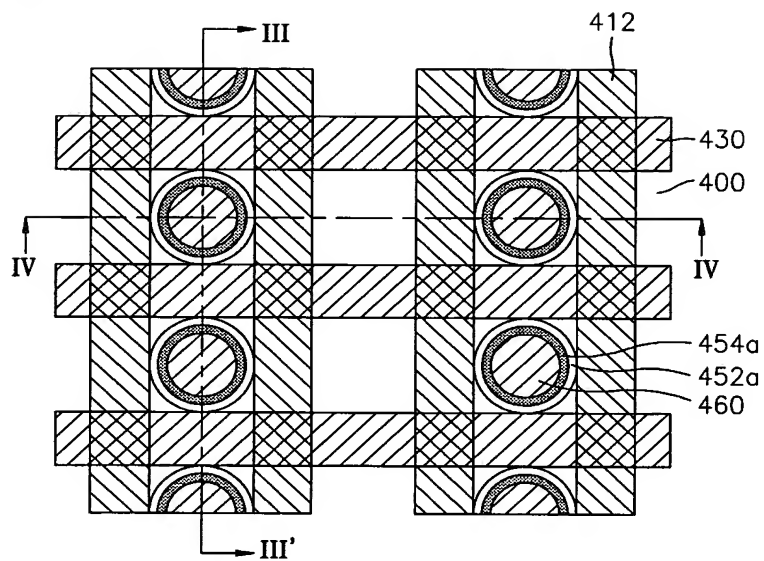
【도 4】



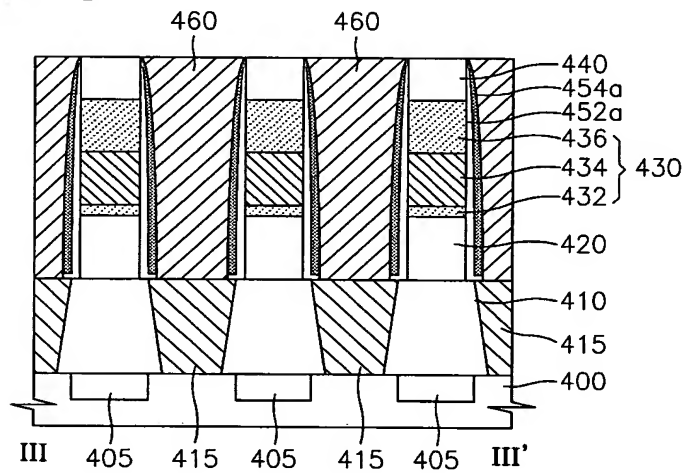
【도 5】



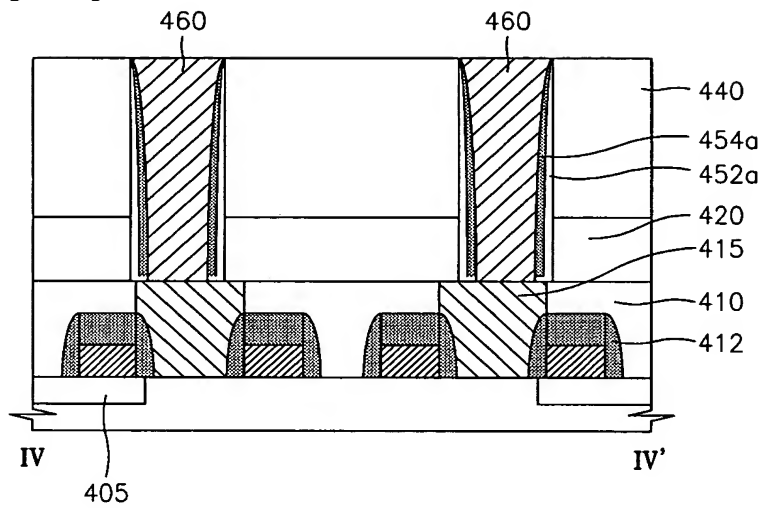
【도 6】



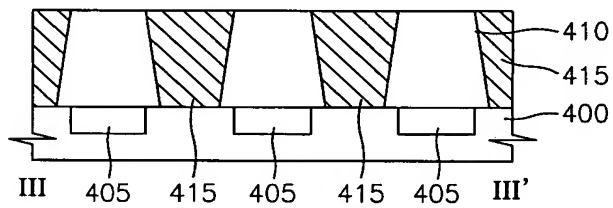
【도 7】



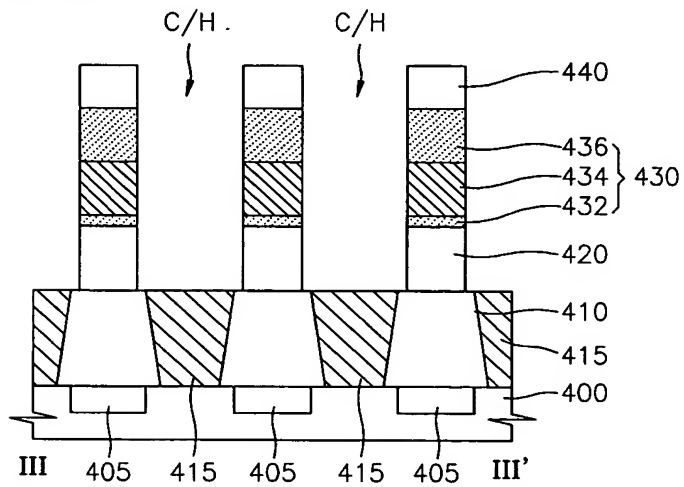
【도 8】



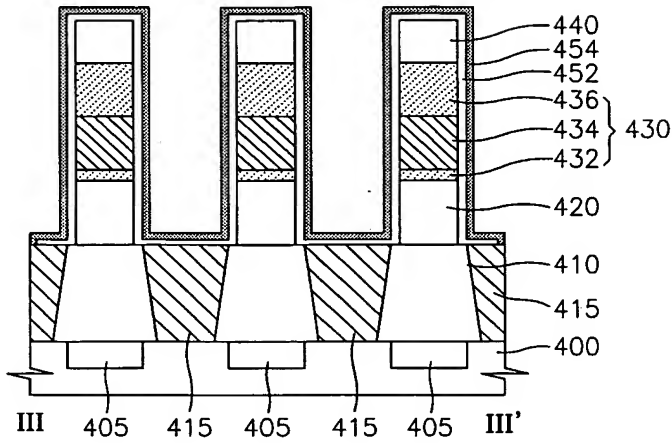
【도 9a】



【도 9b】



【도 9c】



【도 9d】

